



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06188254 A**(43) Date of publication of application: **08.07.94**

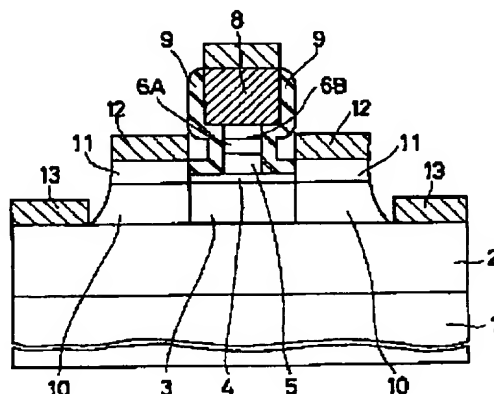
(51) Int. Cl.

H01L 21/331**H01L 29/73****H01L 29/205**(21) Application number: **04341760**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **22.12.92**(72) Inventor: **ISHII KAZUAKI**(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE** COPYRIGHT: (C)1994,JPO&Japio

(57) Abstract:

PURPOSE: To reduce the collector parasitic capacitance for higher operation speeds in a HBT having a p-type collector layer, L-BCT having a collector layer of n^+-n-p^+ structure or HBT having a thin collector layer with respect to the manufacture of semiconductor devices.

CONSTITUTION: A hetero-junction bipolar transistor includes a subcollector layer 2, collector layer 3, base layer 4, emitter layer 5 and emitter cap layer 6. A compound semiconductor layer required for the formation of such a transistor, is deposited and grown, and a mesa etching is performed to a depth of the base layer 4 to form an emitter mesa. A sidewall insulating film 9 is formed, and then a mesa etching is carried out to remove the portion from the base layer 4 surface to the collector layer 4, included, and form a step. An external collector layer 10 to fill the step and an external base layer 11 integrally- connected with the side of the mesa-shaped base layer 4, are deposited and grown.



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-188254

(43)公開日 平成6年(1994)7月8日

(51)Int.Cl.⁵

H01L 21/331

29/73

29/205

識別記号

庁内整理番号

FI

技術表示箇所

7377-4M

H01L 29/72

審査請求 未請求 請求項の数3(全8頁)

(21)出願番号 特願平4-341760

(22)出願日 平成4年(1992)12月22日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 石井 和明

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外1名)

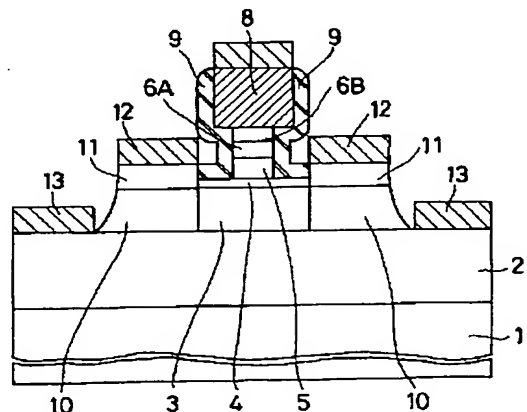
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 半導体装置の製造方法に関し、p型コレクタ層をもつHBTや $n^+ - n^- - p^+$ 構造コレクタ層をもつL-BC T或いは薄いコレクタ層をもつHBTなどに於いて、コレクタ寄生容量を低下させて高速性を向上できるようにする。

【構成】 サブ・コレクタ層2及びコレクタ層3及びベース層4及びエミッタ層5及びエミッタ・キャップ層6を含むヘテロ接合バイポーラ・トランジスタを構成するのに必要な化合物半導体層を積層して成長し、表面からベース層4に達するメサ・エッチングを行ってエミッタ・メサを形成してからサイド・ウォール絶縁膜9を形成し、ベース層4の表面からコレクタ層3までを除去するメサ・エッチングを行って段差を形成し、その段差を埋める外部コレクタ層10並びにメサ化されたベース層4の側面と一体的に接続される外部ベース層11を積層して成長する。

実施例を解説する為の工程要所に於けるHBTの
要部切斷側面図



13 : コレクタ電極

【特許請求の範囲】

【請求項1】少なくともサブ・コレクタ層及びコレクタ層及びベース層及びエミッタ層及びエミッタ・キャップ層を含むヘテロ接合バイポーラ・トランジスタを構成するのに必要な化合物半導体層のそれぞれを積層して成長する工程と、

次いで、表面から前記ベース層に達するメサ・エッチングを行ってエミッタ・メサを形成してからサイド・ウォール絶縁膜を形成する工程と、

次いで、前記ベース層の表面から前記コレクタ層までを除去するメサ・エッチングを行って段差を形成する工程と、

次いで、前記段差を埋める外部コレクタ層並びに前記メサ化されたベース層の側面と一体的に接続される外部ベース層のそれぞれを積層して成長する工程とが含まれることを特徴とする半導体装置の製造方法。

【請求項2】ベース層の表面から少なくともサブ・コレクタ層内に至るまでを除去するメサ・エッチングを行って段差を形成する工程と、

次いで、前記段差を埋め且つコレクタ層に比較して厚い外部コレクタ層を形成する工程とが含まれることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】コレクタ層に比較して誘電率が低い化合物半導体で段差を埋めて外部コレクタ層を形成する工程が含まれることを特徴とする請求項1 或いは請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばAlGaAs/GaAs系などの化合物半導体材料を用いたヘテロ接合バイポーラ・トランジスタ(heterojunction bipolar transistor: HBT)と呼ばれる半導体装置を製造する方法の改良に関する。

【0002】HBTは、動作速度及び電流駆動能力が優れている為、光通信用の高速半導体装置として開発・研究が盛んに行われているところであるが、高速性を更に向上させる為には、寄生容量や寄生抵抗を低減させ、また、キャリアのコレクタ走行時間を短縮することが必要である。

【0003】

【従来の技術】一般に、HBTに於いては、エミッタがメサ状に形成され、その下方に在るベース層に於いて、前記メサ状エミッタ直下よりも横方向に張り出し且つベース電極がコンタクトする領域を外部ベース領域と呼んでいて、例えばAlGaAs/GaAs系HBT(np型)に於けるコレクタ寄生容量を低減するには、外部ベース領域下方に在るn型コレクタ層部分にイオンを注入して不活性化する旨の手段が採られている。

【0004】また、AlGaAs/GaAs系HBTの

コレクタ走行時間を短縮して高速化を図る為、コレクタ層の導電性をn型からp⁺型に変更したり(要すれば「1988年秋期応用物理学会 予稿集 5p-D-16」を参照)、或いは、n⁺-n⁻-p⁺構造コレクタ層を用いた所謂L-BCT構造のもの(要すれば「電子情報通信学会技術研究報告 Vol. 91 No. 42 4 ED91-166~188」を参照)が提案されている。

【0005】

10 【発明が解決しようとする課題】HBTに於けるコレクタ容量を低減する為、前記した外部ベース領域下方に在るコレクタ層部分にイオンを注入してダメージを与えることで不活性化する手段は、n型コレクタ層には有効であるものの、キャリアのコレクタ走行時間を短縮する為、コレクタ層の導電性をn型からp型に変更したHBT、或いは、コレクタ層をn⁺-n⁻-p⁺構造にしたL-BCTであるHBTについては、完全に不活性化することは不可能であって、コレクタ寄生容量を十分に低減することはできない。また、キャリアのコレクタ走行時間

20 時間を短縮する為にコレクタ層を薄くした場合は、コレクタ寄生容量が増加して却って動作速度が低下してしまうことになる。

【0006】ところで、半導体にイオンを注入して不活性化されるのは、結晶にダメージが生成され、それに依って生ずる欠陥に依ってキャリアを補完することで実現されるものと考えられている。GaAsの場合、このような欠陥は、アクセプタと同じような導電性を示すものが多く、その為、n型GaAsに於いては、キャンセルしあって高抵抗となるのであるが、注入するイオンの量を増加させると欠陥の数も増加し、逆にp型の導電性を示ようになってしまう。従って、GaAsの場合には、p-GaAsよりもn-GaAsの方がイオン注入で容易に不活性化を実現できる。然しながら、近年、高濃度のp-GaAsベース層をO⁺の注入で不活性化した旨の報告がなされていて、イオン種を適宜に選定することでp-GaAsも高抵抗化できると考えられているが、唯、本発明が対象としている半導体装置に於いては、不活性化にしたいコレクタ層の上にp-GaAsベース層が存在しているので、このベース層に影響を与えない、例えば、ベース層を高抵抗化せずにコレクタ層のみを不活性化することは、不可能ではないにしても困難である。

40

【0007】本発明は、p型コレクタ層をもつHBTやn⁺-n⁻-p⁺構造コレクタ層をもつL-BCT或いは薄いコレクタ層をもつHBTなどに於いても、コレクタ寄生容量を十分に低下させて高速性を向上できるようにする。

【0008】

【課題を解決するための手段】本発明では、外部コレクタ領域及び外部ベース領域を再成長技術に依って形成す

50

ることで、真性領域に於けるコレクタ層構成の如何に拘わらず、コレクタ寄生容量を低減させることが基本になつてゐる。

【0009】このようなことから、本発明に依る半導体装置の製造方法に於いては、(1)少なくともサブ・コレクタ層(例えばサブ・コレクタ層2)及びコレクタ層(例えばコレクタ層3)及びベース層(例えばベース層4)及びエミッタ層(例えばエミッタ層5)及びエミッタ・キャップ層(例えばエミッタ・キャップ層6)を含むヘテロ接合バイポーラ・トランジスタを構成するのに必要な化合物半導体層のそれぞれを積層して成長する工程と、次いで、表面から前記ベース層に達するメサ・エッチングを行ってエミッタ・メサを形成してからサイド・ウォール絶縁膜(例えばサイド・ウォール絶縁膜9)を形成する工程と、次いで、前記ベース層の表面から前記コレクタ層までを除去するメサ・エッチングを行って段差を形成する工程と、次いで、前記段差を埋める外部コレクタ層(例えば外部コレクタ層10)並びに前記メサ化されたベース層の側面と一体的に接続される外部ベース層(例えば外部ベース層11)のそれぞれを積層して成長する工程とが含まれてなることを特徴とするか、或いは、

【0010】(2)前記(1)に於いて、ベース層の表面から少なくともサブ・コレクタ層内に至るまでを除去するメサ・エッチングを行って段差を形成する工程と、次いで、前記段差を埋め且つコレクタ層に比較して厚い外部コレクタ層(例えば外部コレクタ層15)を形成する工程とが含まれてなるか、或いは、

【0011】(3)前記(1)或いは(2)に於いて、コレクタ層に比較して誘電率が低い化合物半導体(例えばAlGaAs/GaAs系HBTでi-AlAs)で段差を埋めて外部コレクタ層を形成する工程が含まれてなることを特徴とする。

【0012】

【作用】前記手段を採ることに依って得られるHBTでは、内部領域(真性領域)に於けるコレクタ層の如何に拘わらず、外部ベース層直下の外部コレクタ層を独自に形成することができるので、その材料としてi-化合物半導体を選択したり、或いは、厚くするなどしてコレクタ寄生容量を低減することが可能であり、 $n^+ - n^- - p^+$ 構造など複雑な構成のコレクタ層或いはp型コレクタ層などを用いることで高速化したHBTや薄いコレクタ層を用いることで高速化したHBTなどに於いても、容易にコレクタ寄生容量を低下させて高速動作性を向上させることができる。

【0013】

【実施例】図1乃至図6は本発明一実施例を解説する為の工程要所に於けるHBTの要部切断側面図であり、以下、これ等の図を参照しつつ詳細に説明する。

【0014】図1参照

1-(1)

分子線エピタキシャル成長(molecular beam epitaxy:MBE)法を適用することに依り、基板1上にサブ・コレクタ層2、コレクタ層3、ベース層4、エミッタ層5、第一のエミッタ・キャップ層6A及び第二のエミッタ・キャップ層6Bからなるエミッタ・キャップ層6を成長させる。

【0015】前記基板及び前記成長させた各半導体層に関する主要なデータを例示すると次の通りである。

10 ① 基板1について

材料:半絶縁性GaAs

② サブ・コレクタ層2について

材料:n-GaAs

不純物濃度: $5 \times 10^{18} \text{ [cm}^{-3}\text{]}$

厚さ:500 [nm]

【0016】③ コレクタ層3について

材料:n-GaAs

不純物濃度: $3 \times 10^{16} \text{ [cm}^{-3}\text{]}$

厚さ:300 [nm]

20 ④ ベース層4について

材料:p-GaAs

不純物濃度: $4 \times 10^{19} \text{ [cm}^{-3}\text{]}$

厚さ:50 [nm]

【0017】⑤ エミッタ層5について

材料:n-AlGaAs

不純物濃度: $1 \times 10^{17} \text{ [cm}^{-3}\text{]}$

厚さ:150 [nm]

⑥ 第一のエミッタ・キャップ層6Aについて

材料:n-GaAs

30 不純物濃度: $1 \times 10^{18} \text{ [cm}^{-3}\text{]}$

厚さ:100 [nm]

【0018】⑦ 第二のエミッタ・キャップ層6Bについて

材料:n-InGaAs

不純物濃度: $5 \times 10^{19} \text{ [cm}^{-3}\text{]}$

厚さ:100 [nm]

【0019】尚、コレクタ層3の厚さは300 [nm]乃至500 [nm]の範囲で、また、ベース層4の厚さは10 [nm]乃至100 [nm]の範囲でそれぞれ任意に選択して良く、また、コレクタ層3の材料としては、n-GaAsに限ることなく、p-GaAs或いはi-GaAsを用いることができ、更にまた、結晶の成長技術も前記MBE法に限定されることなく、例えば、有機金属化学気相堆積(metalorganic chemical vapour deposition:MOCVD)法を適用することができる。

【0020】図2参照

2-(1)

スパッタリング法を適用することに依り、第二のエミッタ・キャップ層6B上に厚さ例えば400 [nm]のW

50

Si_i からなる電極膜を形成する。

2-(2)

エッチング・ガスを例えばCF₄ + O₂ とするドライ・エッチング法を適用することに依り、前記工程2-

(1) に於いて形成したWSi_i からなる電極膜のパターニングを行ってエミッタ電極8を形成する。

【0021】2-(3)

エッチャントを例えばH₂ PO₄ : H₂ O₂ : H₂ O = 1 : 1 : 40 (InGaAs用) 及びNH₃ OH : H₂ O₂ : H₂ O = 3 : 1 : 100 (GaAs及びAlGaAs用) とするウェット・エッチング法を適用することに依り、エミッタ・キャップ層6、エミッタ層5のメサ・エッチング及びサイド・エッチングを行う。

【0022】この場合のメサ・エッチングは、後にベース電極をセルフ・アライメント方式で形成することを考慮して、前記したようにサイド・エッチングを付加することが好ましい。従って、前記のようなウェット・エッチング法は目的に沿う手段であるが、他の適当なエッチング法を採用することは任意である。尚、前記サイド・エッチングは、例えば200 [nm] 程度行えば、ベース電極をセルフ・アライメント方式で形成する際、電極膜の分離に有効に作用する。

【0023】2-(4)

化学気相堆積 (chemical vapor deposition: CVD) 法を適用することに依り、厚さ例えば200 [nm] のSiON或いはSiO₂ からなる絶縁膜を形成する。

2-(5)

エッチング・ガスを例えば(CHF₃ + CF₄) とするドライ・エッチング法を適用することに依り、エミッタ・メサ及びエミッタ電極の側面にのみ絶縁膜が残るように異方性エッチングを行う。尚、ここで残された前記絶縁膜をサイド・ウォール絶縁膜9と呼ぶことにする。

【0024】図3参照

3-(1)

エッチング・ガスをCCl₂ F₂ + Heとするドライ・エッチング法を適用することに依り、エミッタ電極8及びサイド・ウォール絶縁膜9をマスクとしてベース層4及びコレクタ層3のメサ・エッチングを行って段差を形成する。

【0025】図4参照

4-(1)

MBE法を適用することに依り、全面に外部コレクタ層10及び外部ベース層11を形成する。尚、WSi_i からなるエミッタ電極8上及びSiONからなるサイド・ウォール絶縁膜9上には半導体は成長せず、従って、ここで成長させた半導体は前記段差を埋めるだけである。ここで成長させた各半導体層に関する主要なデータを例示すると次の通りである。

【0026】① 外部コレクタ層10について

材料: i-GaAs

厚さ: 300 [nm]

② 外部ベース層11について

材料: p'-GaAs

不純物濃度: 4×10^{19} [cm⁻³]

厚さ: 100 [nm]

【0027】尚、外部コレクタ層10の厚さは、コレクタ層3の厚さが300 [nm] であることから同じ厚さとしたが、要は、外部コレクタ層10が内部ベースであるベース層4に達しないことである。また、外部ベース層11は、メサ化されたベース層4の側面と一体的に接するように形成することが必要であり、その厚さはオーミック・コンタクトのベース電極を形成するのに不都合がないように選択され、一般的には、100 [nm] 以上であれば良い。

【0028】図5参照

5-(1)

真空蒸着法を適用することに依って、厚さ例えば10 [nm] / 200 [nm] のCr/Au膜を形成する。

このCr/Au膜のエミッタ・メサ側のエッジは、エミッタ電極8がマスクとなってセルフ・アライメント方式で定められる。勿論、この際、エミッタ電極8上にはCr/Au膜が被着されるのであるが、これはそのまま残して支障はない。尚、このCr/Au膜は、厚さ例えば10 [nm] / 50 [nm] / 200 [nm] のTi/Pt/Au膜或いは厚さ例えば20 [nm] / 200 [nm] のAuBe/Au膜に代替することができる。

【0029】図6参照

6-(1)

リソグラフィ技術に於けるレジスト・プロセス並びにArイオンを用いるイオン・ミリング法を適用することに依り、前記工程5-(1) で形成したCr/Au膜の不要な部分を除去してベース電極12を形成する。

6-(2)

エッチング・ガスをCCl₂ F₂ + Heとするドライ・エッチング法を適用することに依って、エミッタ電極8、サイド・ウォール絶縁膜9、ベース電極12をマスクとして外部ベース層11及び外部コレクタ層10のエッチングを行ってサブ・コレクタ層2の一部を表出させる。

【0030】6-(3)

リソグラフィ技術に於けるレジスト・プロセス、真空蒸着法、リフト・オフ法を適用することに依り、厚さが例えば20 [nm] / 300乃至500 [nm] であるAuGe/Auからなるコレクタ電極13を形成する。尚、このコレクタ電極13の材料はNi/AuGe/Au膜やAuGe/Ni/Au膜に代替することができる。

【0031】前記のようにして製造されたHBTに於いては、外部ベース層11の下地はi-GaAsからなる

外部コレクタ層10になっているので、コレクタ寄生容量は著しく低減される。

【0032】ところで、前記実施例に依って製造されたHBTでは、外部コレクタ層10及び外部ベース層11を成長させるのに必要な領域を形成する為のメサ・エッチングはサブ・コレクタ層2の表面まで行ったのであるが、コレクタ走行時間を短縮する為、コレクタ層3を薄く形成した場合、外部コレクタ層10を厚く形成してコレクタ寄生容量を低減することが有効である。

【0033】それには、前記メサ・エッチングをサブ・コレクタ層2の表面で止めることなく、サブ・コレクタ層2内にまで施して、 i -GaAsからなる外部コレクタ層10を厚く形成すると良い。

【0034】図7は本発明に於ける他の実施例に依って作成されたHBTを表す要部切断側面図であり、図1乃至図6に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。図に於いて、14はコレクタ層3に比較して薄く形成された n -GaAsコレクタ層、15はサブ・コレクタ層2内にまで達するメサ・エッチングを行ってから形成した厚い i -GaAs外部コレクタ層をそれぞれ示している。

【0035】ここで、コレクタ層14の厚さは例えば300[nm]以下であり、また、外部コレクタ層15の厚さは例えば300[nm]以上であって、その他の条件は図1乃至図6について説明した実施例に依って作成されたHBTに準じて良い。

【0036】本発明は前記した実施例に限られず、特許請求の範囲に記載されたところを逸脱することなく、多くの改変を行うことができる。

【0037】例えば、外部コレクタ層の材料として i -GaAsを用いたが、更にコレクタ寄生容量を低減する為には、誘電率が低い材料を用いることが好ましい。この技術思想からすれば、前記したAlGaAs/GaAs系HBTでは、例えば誘電率が約1.2である i -AlAsを用いることができ、誘電率が ~ 1.3 であるGaAsに比較すると僅かではあるがコレクタ寄生容量を低減させることができる。

【0038】また、前記各実施例では、AlGaAs/GaAs系HBTを対象としたが、半導体結晶の再成長技術を適用できる材料系のHBTに実施して好結果を得ることができ、例えばInP/InGaAs系HBT、或いは、InAlAs/InGaAs系HBTなどにも有効である。

【0039】

【発明の効果】本発明に依る半導体装置の製造方法に於いては、ヘテロ接合バイポーラ・トランジスタを構成するのに必要な化合物半導体層のそれぞれを積層して成長し、表面からベース層に達するメサ・エッチングを行ってエミッタ・メサを形成してからサイド・ウォール絶縁

膜を形成し、ベース層の表面からコレクタ層までを除去するメサ・エッチングを行って段差を形成し、段差を埋める外部コレクタ層並びにメサ化されたベース層の側面と一体的に接続される外部ベース層を積層して成長するようにしている。

【0040】前記構成を採ることに依って得られるHBTでは、内部領域（真性領域）に於けるコレクタ層の如何に拘わらず、外部ベース層直下の外部コレクタ層を独自に形成することができるので、その材料として i -化合物半導体を選択したり、或いは、厚くするなどしてコレクタ寄生容量を低減することが可能であり、 $n^+ - n - p^+$ 構造など複雑な構成のコレクタ層或いは p 型コレクタ層などを用いることで高速化したHBTや薄いコレクタ層を用いることで高速化したHBTなどに於いても、容易にコレクタ寄生容量を低下させて高速動作性を向上させることができる。

【図面の簡単な説明】

【図1】本発明一実施例を解説する為の工程要所に於けるHBTの要部切断側面図である。

【図2】本発明一実施例を解説する為の工程要所に於けるHBTの要部切断側面図である。

【図3】本発明一実施例を解説する為の工程要所に於けるHBTの要部切断側面図である。

【図4】本発明一実施例を解説する為の工程要所に於けるHBTの要部切断側面図である。

【図5】本発明一実施例を解説する為の工程要所に於けるHBTの要部切断側面図である。

【図6】本発明一実施例を解説する為の工程要所に於けるHBTの要部切断側面図である。

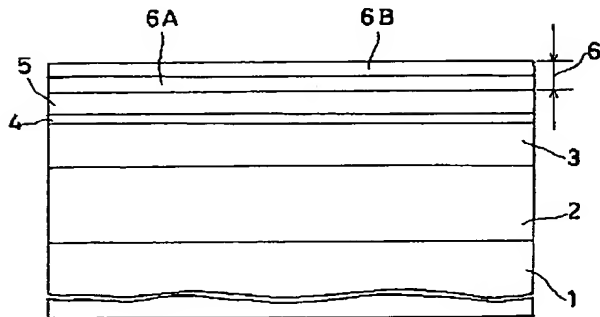
【図7】本発明に於ける他の実施例に依って作成されたHBTを表す要部切断側面図である。

【符号の説明】

- 1 基板
- 2 サブ・コレクタ層
- 3 コレクタ層
- 4 ベース層
- 5 エミッタ層
- 6 エミッタ・キャップ層
- 6A 第一のエミッタ・キャップ層
- 6B 第二のエミッタ・キャップ層
- 8 エミッタ電極
- 9 サイド・ウォール絶縁膜
- 10 外部コレクタ層
- 11 外部ベース層
- 12 ベース電極
- 13 コレクタ電極
- 14 コレクタ層
- 15 外部コレクタ層

【図1】

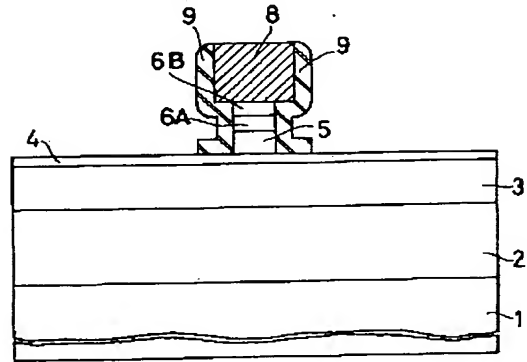
実施例を解説する為の工程要所に於けるHBTの
要部切断側面図



- 1: 基板
- 2: サブ・コレクタ層
- 3: コレクタ層
- 4: ベース層
- 5: エミッタ層
- 6: エミッタ・キャップ層
- 6A: 第一のエミッタ・キャップ層
- 6B: 第二のエミッタ・キャップ層

【図2】

実施例を解説する為の工程要所に於けるHBTの
要部切断側面図



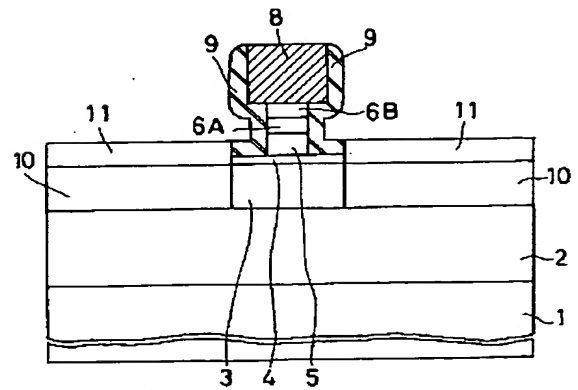
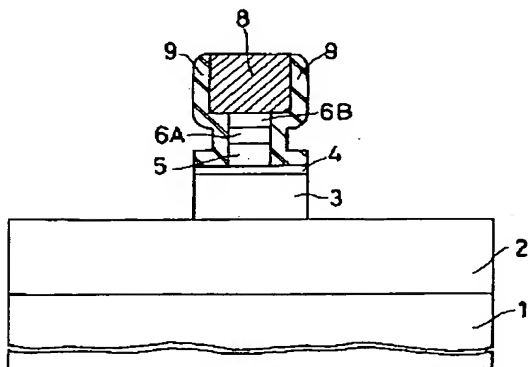
- 8: エミッタ電極
- 9: サイド・ウォール絶縁膜

【図4】

【図3】

実施例を解説する為の工程要所に於けるHBTの
要部切断側面図

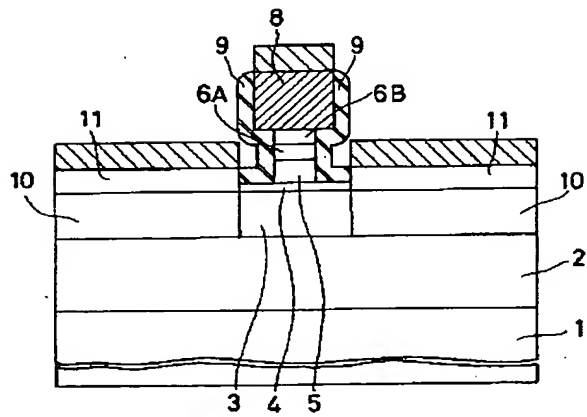
実施例を解説する為の工程要所に於けるHBTの
要部切断側面図



- 10: 外部コレクタ層
- 11: 外部ベース層

【図5】

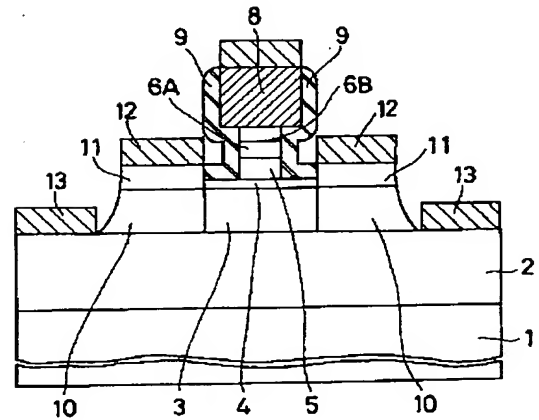
実施例を解説する為の工程要所に於けるHBTの
要部切斷側面図



12 : ベース電極

【図6】

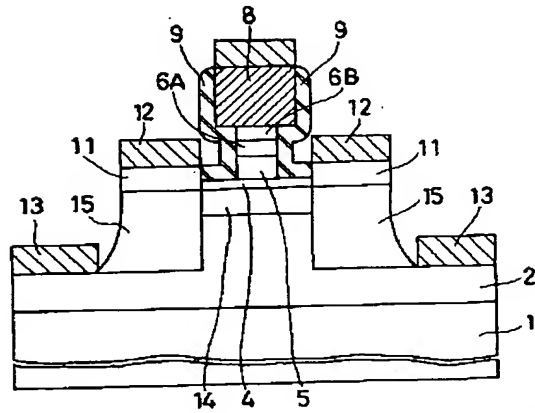
実施例を解説する為の工程要所に於けるHBTの
要部切斷側面図



13 : コレクタ電極

【図7】

他の実施例で作成されたHBTを表す要部切断側面図



- | | |
|-------------------|----------------|
| 1: 基板 | 9: サイド・ウォール絶縁膜 |
| 2: サブ・コレクタ層 | 11: 外部ベース層 |
| 4: ベース層 | 12: ベース電極 |
| 5: エミッタ層 | 13: コレクタ電極 |
| 6A: 第一のエミッタ・キャップ層 | 14: 薄いコレクタ層 |
| 6B: 第二のエミッタ・キャップ層 | 15: 厚い外部コレクタ層 |
| 8: エミッタ電極 | |